

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-055758

(43)Date of publication of application : 05.03.1993

(51)Int.CI.

H05K 3/46
H01L 23/12
H01L 23/15

(21)Application number : 03-218336

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 29.08.1991

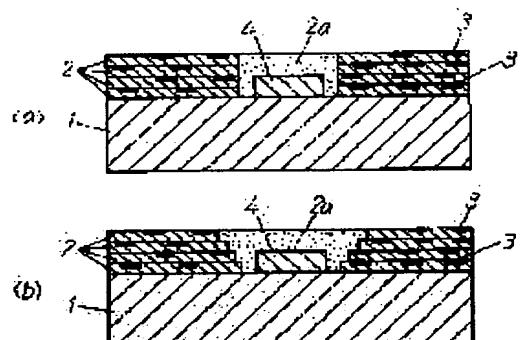
(72)Inventor : KIMURA RYO
OKANO KAZUYUKI
ITAGAKI MINEHIRO
SHIRAISHI SEIGO
ISHIKAWA MARIKO
OKINAKA HIDEYUKI

(54) CERAMIC MULTILAYER WIRING BOARD AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To enhance the productivity of ceramic multilayer wiring boards which excel in surface evenness.

CONSTITUTION: A plurality of insulating material layers 2 are laminated on an insulated substrate 1. The laminates of the insulating material layers are provided with a recess in the central part where wiring patterns 3 are installed at the outer periphery of the recess. An electronic component is mounted on the recess while an insulation material is buried in the recess so that it may be flattened with the insulating material layers on the outermost layer.



LEGAL STATUS

[Date of request for examination] 23.01.1998

[Date of sending the examiner's decision of rejection] 24.10.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIP are not responsible for any
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The ceramic multilayer-interconnection substrate characterized by having prepared the circuit pattern in the periphery section of this crevice while laminating formation was carried out and the two or more layers insulator layer equipped the inside part of the layered product of the insulator layer of a parenthesis with the crevice on the insulating substrate, having embedded by the insulating member while equipping said crevice with electronic parts, and carrying out flattening to the insulator layer of the outermost layer.

[Claim 2] Remove some base films, and an insulator paste is printed or applied so that this circuit pattern may be covered after printing a conductor paste in the shape of a circuit pattern on a base film and drying further. After imprinting said insulator layer by forming an insulator layer by furthermore drying, constituting an imprint sheet, and piling up and carrying out thermocompression bonding of this imprint sheet on an insulating substrate Repeat successively the process which exfoliates said base film, and the layered product of an insulator layer is formed on an insulating substrate. The manufacture approach of the ceramic multilayer-interconnection substrate characterized by embedding an insulating member in a crevice and carrying out flattening to the insulator layer of the outermost layer after equipping with electronic parts the crevice furthermore established in the inside part of the layered product of this insulator layer.

[Claim 3] The wall of the crevice of the layered product of an insulator layer is the manufacture approach of the ceramic multilayer-interconnection substrate according to claim 2 characterized by the stair-like thing.

[Claim 4] The manufacture approach of the ceramic multilayer-interconnection substrate according to claim 2 characterized by forming the thick-film layer which printed or applied and dried the insulator paste or the conductor paste beforehand on an insulating substrate.

[Translation done.]

* NOTICES *

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to a ceramic multilayer-interconnection substrate and its manufacture approach.

[0002]

[Description of the Prior Art] The ceramic multilayer-interconnection substrate which has the three-dimension-array of the circuit pattern layer connected mutually inside is manufactured by approach which is described below. The 1st approach is an approach called the so-called green sheet multilayer method. A through tube is punched suitably for that by which the conductor pattern was formed on the ceramic green sheet. Carry out alignment of what was filled up with the conductor and used as the beer hole to this hole, and it is put on it several sheets. It pressurizes, and after making it unify, it is the manufacture approach of following the process of heat-treating a debinder, baking, etc. and carrying out eburnation (JP,40-8458,B, JP,55-7720,B, JP,55-8837,B, JP,61-45876,B). By this approach, three-dimension-contraction of a Plastic solid takes place at the time of sintering of an ingredient. The 2nd approach is an approach generally called thick film printing, and multilayers by repeating the process of printing, drying and calcinating a conductor paste and an insulator paste on the sintered substrate (JP,57-19599,B etc.). Formation of a beer hole is performed by pattern-like printing of an insulator paste, the exposure of a photograph process and laser, etc. (JP,59-29160,B etc.). Many manufacture approaches, such as what is depended on the two above-mentioned person's besides these combination, are proposed.

[0003]

[Problem(s) to be Solved by the Invention] As mentioned above, in order to manufacture without breaking down arrangement of the meant pattern since contraction takes place two-dimensional in a green sheet multilayer method at the time of baking, the distributed condition of the slurry presentation for creating a green sheet or fine particles or the thickness of a sheet, pressurization conditions, etc. must be extremely controlled by the precision. If this is not realized, camber and a wave will arise on a baking object and poor manufacture will take place.

[0004] Thick film printing can solve the trouble of such a green sheet multilayer method. It is because according to this method of construction there is no dimensional change of the Plastic solid in the two-dimensional direction at the time of baking and neither arrangement of a pattern nor the location of a beer hole shifts. By this approach, if multiple-times printing of the insulating layer is not further carried out on a conductor pattern after performing the approach (JP,57-54956,B, JP,58-26680,B) of forming the reverse pattern of a conductor pattern with an insulator paste, a front face is flat, and a reliable multilayer-interconnection substrate is not obtained.

[0005] On the other hand, employing efficiently that the advantage of thick film printing, i.e., a gap of a pattern, does not happen As an approach of improving the fault, after forming a conductor pattern on a sintered carrier, an insulator green sheet is stuck by pressure in piles. After printing a conductor pattern furthermore, the process of sticking said insulator green sheet by pressure in piles is repeated, a layered product is formed, and the process of performing the postheat treatment is shown in JP,1-100997,A. However, the level difference on the insulator layer produced by the conductor patterned layer cannot be lost, but when the number of laminatings increases, there is a trouble it not only causes trouble to printing of a conductor pattern, but that it cannot manufacture the ceramic multilayer-interconnection substrate with which a for example very smooth front face is demanded in this approach.

[0006] Furthermore, various package configurations are demanded by mounting technology advanced features of electronic equipment, and from the miniaturization. The dimension configuration over the height of mounting components changes with each loading components, and is desirable from a viewpoint of high density assembly. [of the same height dimension] That is, implementation of the card-sized technique of various electronic circuitries is desired. By a conventional ceramic multilayer-interconnection substrate and its conventional manufacture approach, it was unrealizable to these demands.

[0007] This invention solves the above-mentioned conventional technical problem, and aims at offering the ceramic multilayer-interconnection substrate excellent in surface surface smoothness with sufficient productivity, and offering

the manufacture approach which can integrate the ceramic multilayer-interconnection substrate which can embed a surface mounted device into a substrate.

[0008]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, this invention prepares a circuit pattern in the periphery section of this crevice while laminating formation is carried out and a two or more layers insulator layer equips the inside part of the layered product of the insulator layer of a parenthesis with a crevice on an insulating substrate, it embeds it by the insulating member while it equips said crevice with electronic parts, and is characterized by carrying out flattening to the insulator layer of the outermost layer.

[0009] Moreover, the manufacture approach of this invention prints a conductor paste in the shape of a circuit pattern on a base film. After drying furthermore, remove some base films, and an insulator paste is printed or applied so that this circuit pattern may be covered. After imprinting said insulator layer by forming an insulator layer by furthermore drying, constituting an imprint sheet, and piling up and carrying out thermocompression bonding of this imprint sheet on an insulating substrate Repeat successively the process which exfoliates said base film, and the layered product of an insulator layer is formed on an insulating substrate. After equipping with electronic parts the crevice furthermore established in the inside part of the layered product of this insulator layer, it is characterized by embedding an insulating member in a crevice and carrying out flattening to the insulator layer of the outermost layer.

[0010]

[Function] Since the field which the irregularity of a circuit pattern was graduated, carried out hot printing of this on the insulating substrate further, and exfoliated the base film by flow of an insulator paste since according to this invention it was formed so that an insulator layer may cover a circuit pattern in case an imprint sheet is manufactured constitutes the front face of a layered product, while the surface surface smoothness of the ceramic multilayer-interconnection substrate obtained improves extremely, an any number of layers partial product layer becomes possible.

[0011] Moreover, since it is the structure where the crevice formed in the layered product is equipped with electronic parts, such as semi-conductor components and a chip, if a thermally conductive high insulator substrate is used, the thermal conductivity can be used 100%. And after carrying electronic parts, the ceramic multilayer-interconnection substrate of a flat front face card mold is realizable by embedding an insulating member in a crevice.

[0012]

[Example] The ceramic multilayer-interconnection substrate by one example of this invention is explained below.

[0013] (Example 1) Drawing 1 (a) and (b) show the sectional view of the ceramic multilayer-interconnection substrate of this example. In drawing 1, in 1, an insulator layer and 3 show a circuit pattern and, as for an insulating substrate and 2, 4 shows insulating resin, as for semi-conductor components and 2a.

[0014] The structure of the ceramic multilayer-interconnection substrate by this invention is first explained with reference to drawing 1. The two or more layers insulator layer 2 by which the circuit pattern 3 was embedded into the part beforehand designed on the front face of the insulating substrate 1 which has thermal resistance [finishing / baking] is carrying out the laminating in piles (beer through one is formed although omitted about connection between layers here.). This height can be designed by making thickness of the insulator layer 2 into the dimension of arbitration. Or when you need complicated wiring, it can realize by piling up the number of laminatings further. And a crevice is formed in CHUBU ENGINEERING CORPORATION and the layered product of this insulator layer 2 can realize structure which mounted the semi-conductor components 4 in this crevice. The configuration of a crevice may prepare and carry out the laminating of the level difference one by one for each class, as are shown in drawing 1 (a) and it is indicated in drawing 1 (b) as the case where the dimension of each class is the same. And insulating resin 2a is embedded in a crevice, and it has composition which carried out flattening to the insulator layer 2 of the outermost layer.

[0015] Next drawing 2 (a), (b), and (c) are used, and the manufacture approach of the ceramic multilayer-interconnection substrate by this example is explained in full detail. First, by drawing 2 (a), the imprint sheet 6 which formed the circuit pattern 3 and the insulator layer 2 in the base film 5, and formed the through tube for beer through one in this as an insulating substrate 1 on 100x100mm and 96% alumina substrate with a thickness of 0.64mm is piled up, and thermocompression bonding is carried out on the imprint pressure of 40kg/cm², the imprint temperature of 100 degrees C, and the imprint conditions for holding-time 10 seconds. The magnitude of the insulator layer 2 was 100 micrometers in the outer frame dimension of 98x98mm, the seating-rim dimension of 38x38mm, and thickness.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-55758

(43)公開日 平成5年(1993)3月5日

(51)Int.Cl.⁵

識別記号 庁内整理番号

F I

技術表示箇所

H 05 K 3/46

H 6921-4E

H 01 L 23/12

23/15

7352-4M

H 01 L 23/12

N

7352-4M

23/14

C

審査請求 未請求 請求項の数4(全6頁) 最終頁に続く

(21)出願番号

特願平3-218336

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(22)出願日

平成3年(1991)8月29日

(72)発明者 木村涼

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 岡野和之

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 板垣峰広

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 弁理士 小鍛治明 (外2名)

最終頁に続く

(54)【発明の名称】 セラミック多層配線基板およびその製造方法

(57)【要約】

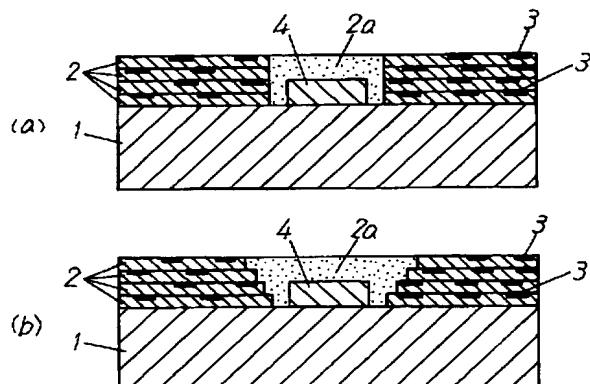
【目的】 本発明は、表面平坦性に優れたセラミック多層配線基板を生産性良く得ることを目的とする。

【構成】 そこで本発明は、絶縁性基板1上に複数層の絶縁体層2が積層され、この絶縁体層2の積層体は中部に凹部を備えるとともにこの凹部の外周部には配線パターン3が設けられ、前記凹部には電子部品4が装着されるとともに絶縁部材が埋め込まれ最外層の絶縁体層2と平坦化されている構造であることを特徴とするものである。

1 絶縁性基板 3 配線パターン

2 絶縁体層 4 半導体部品

2a 絶縁樹脂



【特許請求の範囲】

【請求項1】絶縁性基板上に複数層の絶縁体層が積層形成され、かつこの絶縁体層の積層体の内側部分に凹部を備えるとともに、この凹部の外周部に配線パターンを設け、前記凹部には電子部品を装着するとともに絶縁部材で埋め込み、最外層の絶縁体層と平坦化したことを特徴とするセラミック多層配線基板。

【請求項2】ベースフィルム上に導電体ペーストを配線パターン状に印刷し、さらに乾燥した後この配線パターンを覆うようにかつベースフィルムの一部を除いて絶縁体ペーストを印刷または塗布し、さらに乾燥することで絶縁体層を形成して転写シートを構成し、この転写シートを絶縁性基板上に重ね熱圧着することで前記絶縁体層を転写した後に、前記ベースフィルムを剥離する工程を順次繰り返して絶縁体層の積層体を絶縁性基板上に形成し、さらにこの絶縁体層の積層体の内側部分に設けられた凹部に電子部品を装着した後に絶縁部材を凹部に埋め込み最外層の絶縁体層と平坦化することを特徴とするセラミック多層配線基板の製造方法。

【請求項3】絶縁体層の積層体の凹部の内壁は階段状であることを特徴とする請求項2記載のセラミック多層配線基板の製造方法。

【請求項4】絶縁性基板上にあらかじめ絶縁体ペーストまたは導電体ペーストを印刷または塗布して乾燥した厚膜層を形成することを特徴とする請求項2記載のセラミック多層配線基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はセラミック多層配線基板およびその製造方法に関するものである。

【0002】

【従来の技術】相互に接続された配線パターン層の3次元的な配列を内部に有するセラミック多層配線基板は、以下に述べるような方法によって製造される。第1の方法は、いわゆるグリーンシート多層法と呼ばれる方法であって、セラミックグリーンシート上に導電体パターンが形成されたものに適当に貫通孔を穿孔し、この孔に導電体を充填してビア孔としたものを位置合わせして何枚か重ね、加圧して一体化させた後、脱バインダ、焼成などの熱処理を施して緻密化させるというプロセスに従う製造方法である（特公昭40-8458号公報、特公昭55-7720号公報、特公昭55-8837号公報、特公昭61-45876号公報）。この方法では材料の焼結時に成形体の3次元的な収縮が起こる。第2の方法は、一般に厚膜印刷法と呼ばれる方法であって、焼結された基板上に導電体ペーストや絶縁体ペーストを印刷、乾燥、焼成するというプロセスを繰り返すことによって多層化を行うというものである（特公昭57-19599号公報など）。ビア孔の形成は、絶縁体ペーストのパターン状印刷やフォトプロセス、レーザーの照射などに

よって行われる（特公昭59-29160号公報など）。これらの他、上記2者の組合せによるものなど、多くの製造方法が提案されている。

【0003】

【発明が解決しようとする課題】前述のように、グリーンシート多層法においては焼成時に2次元的に収縮が起こるため、意図したパターンの配置を崩すことなく製造するためには、グリーンシートを作成するためのスラリー組成や粉体の分散状態、あるいはシートの厚み、加圧条件などが極めて精密に制御されなければならない。これが実現されないと、焼成体にそりやうねりが生じ、製造不良が起こる。

【0004】厚膜印刷法は、このようなグリーンシート多層法の問題点を解決することができる。この工法によれば焼成時の2次元方向における成形体の寸法変化がなく、パターンの配置やビア孔の位置がずれることがないからである。この方法では導電体パターンの逆パターンを絶縁体ペーストで形成するという方法（特公昭57-54956号公報、特公昭58-26680号公報）を行った上で、さらに導電体パターン上に絶縁層を複数回印刷しなければ、表面が平坦で信頼性のある多層配線基板は得られない。

【0005】これに対して厚膜印刷法の利点、つまりパターンのずれが起こらないということを生かしながら、その欠点を改善する方法として、焼結基板上に導電体パターンを形成した後に絶縁体グリーンシートを重ねて圧着し、さらに導電体パターンを印刷した後、前記絶縁体グリーンシートを重ねて圧着するという工程を繰り返して積層体を形成し、その後熟処理を行うというプロセスが、特開平1-100997号公報に示されている。しかしながら、この方法には、導電体パターン層によって生じる絶縁体層上の段差をなくすことができず、積層数が多くなったときに導電体パターンの印刷に支障をきたすだけでなく、例えば、非常に平滑な表面が要求されるセラミック多層配線基板を製造することができないという問題点がある。

【0006】さらに、電子機器の高機能化、小型化方向から種々のパッケージ形状を実装技術に要求されている。実装部品の高さに対する寸法形状は各搭載部品によって異なっており、高密度実装という観点からは同一高さ寸法が望ましい。すなわち各種電子回路のカード化技術の実現が望まれている。これらの要求に対して従来のセラミック多層配線基板およびその製造方法では実現することはできなかった。

【0007】本発明は、上記従来の課題を解決し、表面の平坦性に優れたセラミック多層配線基板を、生産性良く提供することおよび、表面実装部品を基板の中に埋め込むことのできるセラミック多層配線基板を作成できる製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】上記目的を達成するため本発明は、絶縁性基板上に複数層の絶縁体層が積層形成され、かつこの絶縁体層の積層体の内側部分に凹部を備えるとともにこの凹部の外周部に配線パターンを設け、前記凹部には電子部品を装着するとともに絶縁部材で埋め込み、最外層の絶縁体層と平坦化したことを特徴とするものである。

【0009】また本発明の製造方法は、ベースフィルム上に導電体ペーストを配線パターン状に印刷し、さらに乾燥した後、この配線パターンを覆うようにかつベースフィルムの一部を除いて絶縁体ペーストを印刷または塗布し、さらに乾燥することで絶縁体層を形成して転写シートを構成し、この転写シートを絶縁性基板上に重ね熱圧着することで前記絶縁体層を転写した後に、前記ベースフィルムを剥離する工程を順次繰り返して絶縁体層の積層体を絶縁性基板上に形成し、さらにこの絶縁体層の積層体の内側部分に設けられた凹部に電子部品を装着した後に絶縁部材を凹部に埋め込み最外層の絶縁体層と平坦化することを特徴とするものである。

【0010】

【作用】本発明によれば、転写シートを製造する際に配線パターンを絶縁体層が覆うように形成されるため、絶縁体ペーストの流動によって配線パターンの凹凸が平滑化され、さらにこれを絶縁性基板上に熱転写してベースフィルムを剥離した面が積層体の表面を構成するため、得られるセラミック多層配線基板の表面平坦性が極めて向上するとともに部分積層が何層でも可能となる。

【0011】また、積層体に形成された凹部に半導体部品、チップ部品などの電子部品が装着される構造であるため、熱伝導性の高い絶縁性基板を用いればその熱伝導性を100%利用することができる。そして、電子部品を搭載した後に、凹部に絶縁部材を埋め込むことによって表面がフラットなカード型のセラミック多層配線基板を実現することができる。

【0012】

【実施例】以下に本発明の一実施例によるセラミック多層配線基板について説明する。

【0013】(実施例1) 図1(a), (b)は、本実施例のセラミック多層配線基板の断面図を示す。図1において、1は絶縁性基板、2は絶縁体層、3は配線パターン、4は半導体部品、2aは絶縁樹脂を示す。

【0014】まず本発明によるセラミック多層配線基板の構造について図1を参照して説明する。焼成済みの耐熱性を有する絶縁性基板1の表面にあらかじめ設計された部分に配線パターン3が埋め込まれた絶縁体層2が複数層重ねて積層している(ここでは層間の接続については省略しているが、ビアスルーが形成されている。)。この高さは絶縁体層2の厚みを任意の寸法とすることによって設計することができる。あるいは複雑な配線を必要とする場合には、さらに積層数を重ねることによって

実現することができる。そして、この絶縁体層2の積層体は中部に凹部が形成され、この凹部に半導体部品4を実装した構造が実現できる。凹部の形状は図1(a)に示すように各層の寸法が同一である場合と、図1(b)に示すように各層ごとに順次段差を設けて積層する場合とがある。そして凹部には絶縁樹脂2aが埋め込まれ、最外層の絶縁体層2と平坦化した構成となっている。

【0015】つぎに図2(a), (b), (c)を用いて本実施例によるセラミック多層配線基板の製造方法について詳述する。まず図2(a)では絶縁性基板1として100×100mm, 厚さ0.64mmの96%アルミナ基板上に、ベースフィルム5に配線パターン3、および絶縁体層2を形成し、これにビアスルーのための貫通孔を形成した転写シート6を重ね、転写圧力40kg/cm², 転写温度100°C, 保持時間10秒の転写条件で熱圧着する。絶縁体層2の大きさは外枠寸法98×98mm, 内枠寸法38×38mm, 厚み100μmであった。本実施例では、電極として市販の銀ペースト(昭栄化学製、H-4566)、絶縁体ペーストとしてアルミナを主成分とするガラスーセラミック粉末を、ブチラール樹脂とフタル酸ジオクチルおよびブチルカルピトールを相溶させたビヒクリルに分散させたものを用いた。なお転写シート6の製造法の詳細については後述する。このような転写条件にて転写された転写シート6のシートに穿つてあった貫通孔に前述と同様な銀ペーストを用いてベースフィルム5の上からスクリーン印刷と同じ要領でスキージによって充填する。この後、ベースフィルム5を剥離した状態が図2(b)である。すなわち、この際にベースフィルム5がマスクの代用としての働きを行うわけである。このようにしてさらに、転写、ビアの充填およびベースフィルム5の剥離を前述と同様に再度繰り返すことによって、図2(c)に示すような絶縁体層2の積層体が得られた。この状態での積層体表面の平坦性は±5μmであった。このようにこの操作をn回繰り返すことによってn層の多層配線基板を得ることができる。これを大気中で、常温から100°Cまで約15分、その後昇温速度30°C/hで520°Cまで昇温、その温度で3時間保持した後放冷するというプロファイルで脱バインダを行った後、大気中、ベルト炉でピーク温度890°C、保持時間10分の熱処理を施した。これらの熱処理により得られたセラミック多層配線基板の表面平坦性は±3μmであって絶縁体層2の亀裂や配線パターン3の断線および配線層間の導通不良などは認められなかつた。

【0016】次に、転写シート6の製造について、図2(a)を参照しながら述べる。まず、ベースフィルム5上に銀ペーストをパターン状にスクリーン印刷し、乾燥して膜厚1.5~2.0μmの配線パターン3を形成する。本実施例ではベースフィルム5として、寸法精度がよく安価なPETフィルム(東レ製、厚み75μm)を用い

た。この配線パターン3を覆うように外枠寸法 $98 \times 98 \text{ mm}$ 、内枠寸法 $38 \times 38 \text{ mm}$ の大きさで前述の絶縁体ペーストをスクリーン印刷し、乾燥を行って絶縁体層2を形成する。絶縁体層2の膜厚における配線パターン3のある部分とない部分の段差は、絶縁体ペーストの粘度や印刷条件に依存するが、本実施例ではスクリーン印刷版、スキージ形状および硬度、スキージ速度などを調節することにより、一回の印刷でそれぞれ約 $50 \mu\text{m}$ となるようにした。ピンホールの発生による絶縁体の絶縁劣化を避けるために印刷、乾燥は二回行った。このようにして絶縁体層2の厚み約 $100 \mu\text{m}$ 、前述の段差が約 $3 \mu\text{m}$ の図2(a)に示す転写シート6が得られた。さらにこの転写シート6の配線パターンのランド部分に、炭酸ガスレーザーを用いて貫通孔を開けた。本実施例ではレーザーのパワーと照射条件を適当に調節して貫通孔径を約 0.2 mm としたが、本発明者等の実験によれば約 0.05 mm 程度の大きさの孔径を得ることも可能であった。言うまでもなく、貫通孔を開けるにはその他の種々な穿孔方法、例えばパンチング、ドリルなどを利用してもよい。

【0017】以上のように本実施例によれば 96% アルミナ基板の片方の面に、表面平滑性に優れた内層導体4層、表層導体1層のセラミック多層配線基板を形成することができる。そしてこのセラミック多層配線基板は中部に凹部を有し、この凹部には半導体部品のベアチップをワイヤボンディングにて接続し、半導体を保護する目的からエポキシ樹脂などの絶縁樹脂を最外層の絶縁体層2とほぼ同じ高さまで充填してチップを内蔵化することができた。さらに、従来の厚膜多層法によるセラミック多層配線基板と同様な特性、すなわち高強度、高放熱性、などを有していることは言うまでもない。また、容易に類推できるように、より高密度の実装という要請から導体層数を増加させることは、絶縁体ペーストおよび導電体ペースト中の無機粉体の性質や有機バインダおよび可塑剤の性質、それらの配合比を考慮することにより行うことができる。本実施例で作成した導電体パターンは最小線幅が $100 \mu\text{m}$ 、線間が $125 \mu\text{m}$ であったので前述のようにスクリーン印刷を適用したが、さらに精密なパターンが必要な場合にはオフセット印刷やフォトリソグラフィーの技術が適用できる。

【0018】また、図では凹部を1つだけ形成する方法について説明したが、複数個の場合についても同様である。

【0019】(実施例2)以下、本発明の第2の実施例について図2(a), (b), (c)を参照しながら説明する。まず絶縁性基板1として $100 \times 100 \text{ mm}$ 、厚さ 0.8 mm の石英基板を用い、この上に石英粉末を主成分とするガラスーセラミック粉末をブチラール樹脂とアジピン酸ジオクチルおよびブチルカルビトールを相溶させたビヒクルに分散させた絶縁体ペーストを $98 \times 98 \text{ mm}$

の大きさにスクリーン印刷して乾燥し、膜厚 $30 \mu\text{m}$ の絶縁体層2を設けた。この上に絶縁体層2の大きさが $98 \times 98 \text{ mm}$ の転写シート6を 40 kg/cm^2 , 100°C , 3秒の条件で熱圧着する。本実施例の転写シート6では、電極ペーストとして酸化銅粉末(試薬、半井化学製)を前述と同様のビヒクルに分散させたものを用いた。なお転写シート6の製造法については後述する。次に、転写シート6に穿つてあった貫通孔に前述と同じ酸化銅ペーストを用いて実施例1と同じ要領で充填する。

10 このようにしてビア導体の充填を行った後、ベースフィルム5を剥離した状態が図2(b)に示されている。さらに、熱圧着、ビアの充填およびベースフィルム5の剥離を前述と同様に再度繰り返すことによって、積層体が得られた。この状態での積層体表面の平坦性は $\pm 3 \mu\text{m}$ であった。これを実施例1と同様なプロファイルで脱バインダを行った後、水素気流中 350°C で3時間の還元を行って酸化銅を銅に変化させた。この後、窒素中、ベルト炉でピーク温度 890°C 、保持時間10分の熱処理を施した。これらの熱処理により得られたセラミック多層配線基板の表面平坦性は $\pm 1.5 \mu\text{m}$ であって絶縁体層2の亀裂や配線パターン3の断線および配線層間の導通不良などは認められなかった。

【0020】次に、転写シート6の製造について述べる。本実施例の導電体が酸化銅ペーストであって、実施例1で使用した銀と同程度の抵抗値($2 \sim 3 \text{ m}\Omega/\square$)を得るために乾燥膜厚を $40 \mu\text{m}$ と厚くしなければならないため、転写シート6を作るために次のような方法を用いた。つまり、膜厚 $40 \mu\text{m}$ の配線パターン3を形成した後、このパターンの逆パターンのスクリーン印刷版で絶縁体ペーストを印刷して、その後実施例1と同様に絶縁体ペーストの印刷を行い、絶縁体層2の厚み約 $130 \mu\text{m}$ 、そして配線パターン3のある部分とない部分の段差が約 $3 \mu\text{m}$ の転写シート6を得た。次に、この転写シート6の配線パターン3のランド部分に、実施例1と同様の方法で貫通孔を開け、転写シート6を得た。

【0021】以上のように、本実施例によれば、配線パターンの膜厚が大きい場合においても、実施例1と同様、表面の平坦性に優れたセラミック多層配線基板を製造できることがわかる。このセラミック多層配線基板もまた従来の厚膜多層法によるセラミック多層配線基板と同様な特性、すなわち高強度、高放熱性、などを有していることは言うまでもない。また、容易に類推できるように、より高密度の実装という要請から導体層数を増加させることは、絶縁体ペーストおよび電極ペースト中の無機粉体の性質や有機バインダおよび可塑剤の性質、それらの配合比を考慮することにより行うことができる。本実施例で作成した配線パターン3は最小線幅が $100 \mu\text{m}$ 、線間が $125 \mu\text{m}$ であったので前述のようにスクリーン印刷を適用したが、さらに精密なパターンが必要な場合にはオフセット印刷やフォトリソグラフィーの技

術が適用できる。

【0022】(実施例3)さらに本発明の第3の実施例を説明する。まず絶縁性基板1として $100 \times 100\text{mm}$ 、厚さ0.8mmのステアタイト基板を用い、この上に実施例2と同じ絶縁体ペーストで同様な絶縁体層2を形成した。次に、絶縁性基板1および絶縁体層2を貫通する孔を炭酸ガスレーザーを用いて穿孔した後、従来の真空吸着を利用して充填装置(岩谷産業(株))を用いて実施例2に示した酸化銅ペーストを充填し、ビア導体とした。このビア径は0.3mmとなるようにレーザーの条件を設定した。充填された酸化銅ペーストを乾燥した後、実施例2と同様な転写シート6を同様の条件で熱転写した。その後、実施例2と同じプロセスを経て片面の積層体を得た。次に、絶縁性基板1の裏面に位置合わせて実施例2と同様な転写シート6を同様の条件で熱転写した。このようにしてステアタイト基板の両面に図1に示す断面構造の積層体を絶縁性基板1の表裏にて構成したものである。この後、実施例2と同じプロセスで熱処理を行い、前記二つの実施例と同様表面平坦性に優れたセラミック多層配線基板が得られた。言うまでもなく、本実施例のセラミック多層配線基板も、絶縁体層2の亀裂、欠陥、あるいは導体層間の導通不良などは全く認められなかった。

【0023】以上のように本実施例によればステアタイト基板の両方の面に表面平滑性に優れた内層導体4層、表層導体2層のセラミック多層配線基板を形成することができ、従来の厚膜多層法によるセラミック多層配線基板と同様な特性、すなわち高強度、高放熱性、などを有していることは言うまでもない。より高密度の実装という要請から導体層数を増加させることは、絶縁体ペーストおよび電極ペースト中の無機粉体の性質や有機バインダおよび可塑剤の性質、それらの配合比を考慮することにより行うことができる。なお本実施例で作成した配線パターン3は最小線幅が $100\mu\text{m}$ 、線間が $125\mu\text{m}$ であったので前述のようにスクリーン印刷を適用したが、さらに精密なパターンが必要な場合にはオフセット印刷やフォトリソグラフィーの技術が適用できる。

【0024】以上の実施例に対する比較として、図1(a)に示した構造のものを実施例1で使用したペーストを用いてアルミナ基板の上にスクリーン印刷法で形成した。まず、積層数が増えるにつれ内部導体のある部分とない部分の段差が非常に大きくなり、4層目の配線パターンを印刷する際にはこの段差による印刷障害のためかすれや断線が発生した。また印刷されない端面部では層数が増えるに従ってスクリーン版のダメージが大きくなる。そして、熱処理を行ったものについては、段差のある部分での絶縁体層2や配線パターン3の裂断が多く、ビア導体の導通不良も多発していた。

【0025】なお本発明で使用できる各種の材料について、上記実施例中に示されたものはほんの一例に過ぎないことを明記する必要がある。例えば、転写シート6のベースフィルム5としては、寸法精度や表面の平滑などの観点からPET以外にもポリイミドやその他の有機フィルムが支障なく利用できる。絶縁体としては、通常市販されているガラスセラミックや、従来絶縁物として多用されるフォルステライト、エンスタタイト、ドロマイトなどの粉末を使用することができる。また、ペーストを作るためのヒビクル成分は、熱転写性を損なわない限り通常のセラミック粉末のプロセッシングや厚膜印刷ペーストで多用される樹脂、可塑剤および溶剤を使用して差し支えない。絶縁性基板1は上記実施例中では9.6%アルミナ基板、石英基板、ステアタイト基板を用いたが、積層体部分を構成する材料の熱処理条件などによってこの他にも炭化ケイ素基板、フォルステライト基板、窒化アルミニウム板およびホーロー鋼板など広汎な耐熱性基板を使用することができる。

【0026】

【発明の効果】以上述べたように本発明によれば、転写シートを製造する際に配線パターンを絶縁体層が覆うように形成されるため、絶縁体ペーストの流動によって配線パターンの凹凸が平滑化され、さらにこれを絶縁体基板上に熱転写してベースフィルムを剥離した面が積層体の表面を構成するため、得られるセラミック多層配線基板の表面平坦性が極めて向上するとともに部分積層が何層でも可能となる。

【0027】また、積層体に形成された凹部に半導体部品、チップ部品などの電子部品が装着される構造であるため、熱伝導性の高い絶縁性基板を用いればその熱伝導性を100%利用することができる。そして、電子部品を搭載した後に、凹部に絶縁部材を埋め込むことによって表面がフラットなカード型のセラミック多層配線基板を実現することができる。

【図面の簡単な説明】

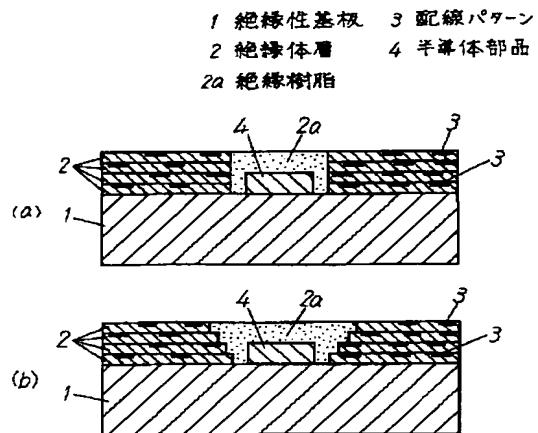
【図1】(a), (b)はそれぞれ本発明の一実施例におけるセラミック多層配線基板の断面図

【図2】(a), (b), (c)はそれぞれ本発明の一実施例におけるセラミック多層配線基板の製造方法を示す断面図

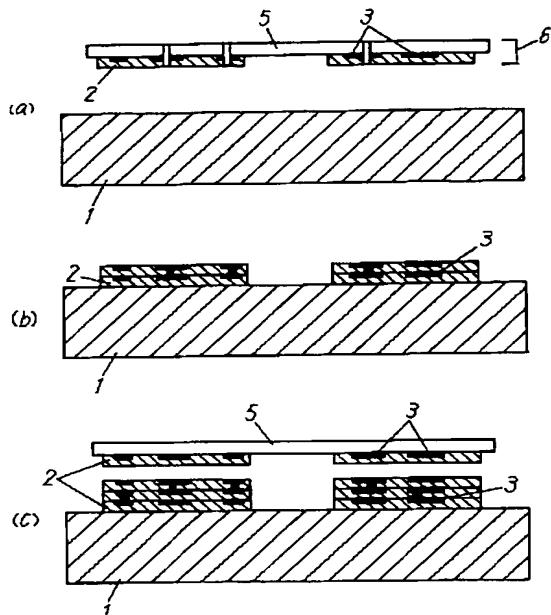
【符号の説明】

- 1 絶縁性基板
- 2 絶縁体層
- 2a 絶縁樹脂
- 3 配線パターン
- 4 半導体部品
- 5 ベースフィルム
- 6 転写シート

【図1】



【図2】



フロントページの続き

(51) Int.C1.⁵

H 05K 3/46

識別記号 庁内整理番号

C 6921-4E

Q 6921-4E

F I

技術表示箇所

(72) 発明者 白石 誠吾

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 石川 真理子

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 沖中 秀行

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.